

SIWG2

58 - ми битовый драйвер с последовательным интерфейсом

Особенности

- Командно выбираемая конфигурация :
 - драйвер ЖКИ с прямым управлением (управляющих выводов - 58);
 - драйвер ЖКИ с мультиплексом 1/2 (управляющих выводов - 58);
 - драйвер ЖКИ с мультиплексом 1/3 (управляющих выводов - 58);
 - 54 мощных буфера.
- Специальная схема формирования уровня напряжения смещения 1/2 для управления ЖКИ с мультиплексом 1/2 и 1/3.
- Возможность каскадирования по последовательному интерфейсу и синхронизации работы в режиме ведущий-ведомый.
- Встроенная схема сброса ИМС по включению напряжения питания.
- Встроенный генератор для формирования управления ЖКИ.
- КМОП технология , обеспечивающая :
 - низкое потребление ;
 - широкий диапазон напряжения питания и температур ;
 - высокую помехоустойчивость.
- КМОП и TTL совместимые входы.
- Защита от статического электричества по всем выводам.
- Управление и передача данных по последовательной трехразрядной шине.

Область применения

- Промышленные ЖКИ панели;
- ЖКИ дисплеи в товарах широкого потребления;
- Дистанционно управляемые ЖКИ дисплеи;
- Автомобильные ЖКИ панели;

Описание работы микросхемы SIWG2

Микросхема SIWG2 предназначена для управления жидкокристаллическим индикатором с различным типом мультиплекса

В одиночном режиме мс позволяет управлять 58 сегментами ЖКИ прямого управления , 56 X 2 сегментами для индикатора с мультиплексом на два и 55 X 3 сегментами для индикатора с мультиплексом на три.

В режиме мощных буферов драйвер обеспечивает большие токи при низком уровне напряжения на выходе , что может быть применено для управления светодиодами или другими приборами, требующими больших токов управления.

Микросхема может включаться в режиме каскадирования. Режимы работы мс и конфигурация выводов определяются восьмибитовым кодом команды.

В таблице 1 приведены , выбираемые программно, конфигурации работы мс и соответствующее количество управляемых элементов ЖКИ (или мощных буферов) . Микросхема SIWG2 применяется для управления ЖКИ дисплеями совместно с микропроцессорами (см. рис 1.). Для передачи данных и кодов команд используется последовательная шина.

Таблица 1.

Режим функционирования	Прямое управление	Мультиплекс 1/2	Мультиплекс 1/3	Мощный буфер
Одиночный	57 сегментов. (57 элементов)	55 сегментов. (110 элементов)	54 сегментов. (162 элементов)	54 буфера
Ведущий (каскадирование)	58 сегментов. (58 элементов)	58 сегментов. (116 элементов)	58 сегментов. (174 элементов)	54 буфера
Ведомый (каскадирование)	58 сегментов. (58 элементов)	56 сегментов. (112 элементов)	55 сегментов. (165 элементов)	54 буфера

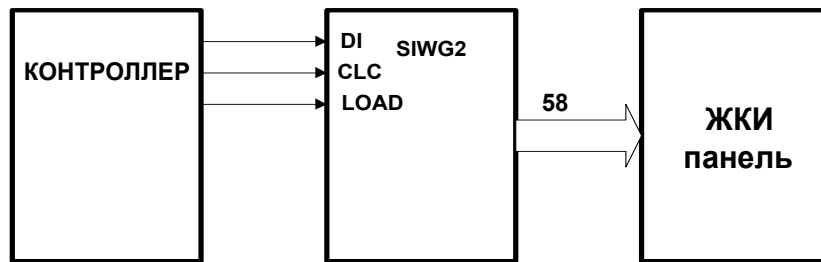


Рис. 1 Подключение SIWG2 в одиночном режиме.

Корпус

Микросхема SIWG2 изготавливается в корпусе 64-QFP-1420F (4402-64) - изображен на рис. 2. Разварка выводов в корпус производится согласно рис. 3.

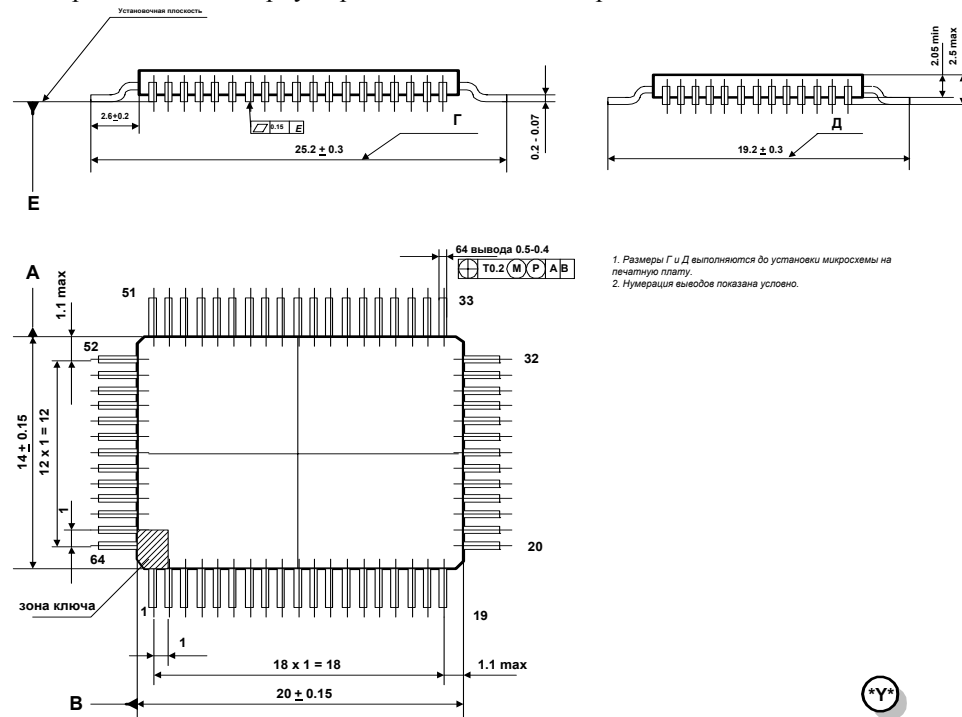


Рис.2 Корпус мс SIWG2.

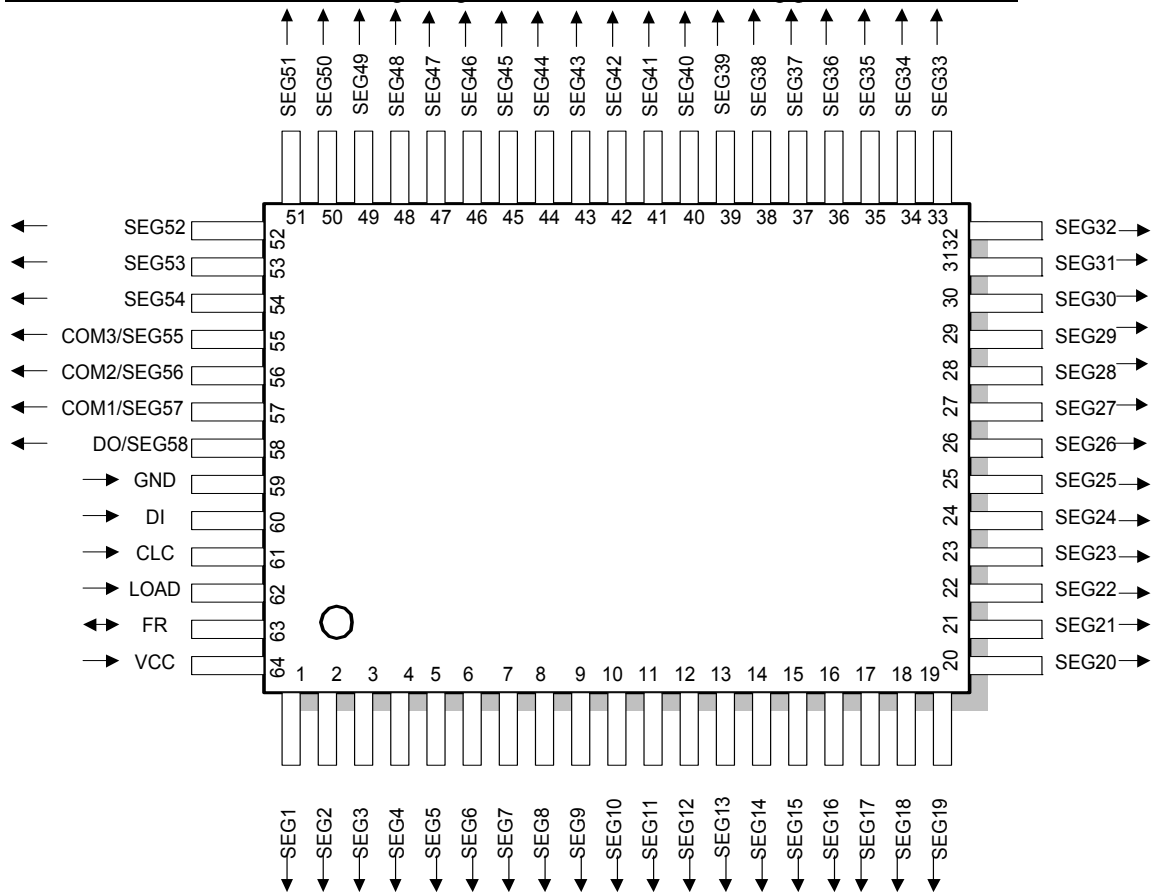


Рис.3 Разварка выводов корпуса SIWG2.

Расположение площадок

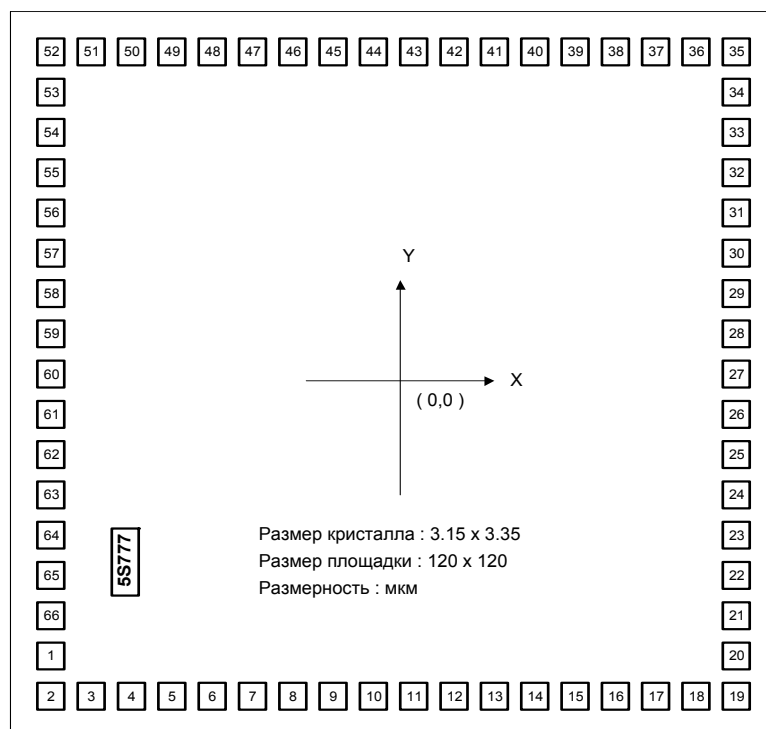


Рис.4 План кристалла .

Наименование и координаты контактных площадок мс SIWG2 приведены в таблице 2.

Таблица 2

№ площад-ки	Наименование	Координата X	Координата Y	№ площад-ки	Наименование	Координата X	Координата Y
1	SEG1	-1530	-1260	34	SEG34	1530	1260
2	SEG2	-1530	-1440	35	SEG35	1530	1440
3	SEG3	-1350	-1440	36	SEG36	1350	1440
4	SEG4	-1170	-1440	37	SEG37	1170	1440
5	SEG5	-990	-1440	38	SEG38	990	1440
6	SEG6	-810	-1440	39	SEG39	810	1440
7	SEG7	-630	-1440	40	SEG40	630	1440
8	SEG8	-450	-1440	41	SEG41	450	1440
9	SEG9	-270	-1440	42	SEG42	270	1440
10	SEG10	-90	-1440	43	SEG43	90	1440
11	SEG11	90	-1440	44	SEG44	-90	1440
12	SEG12	270	-1440	45	SEG45	-270	1440
13	SEG13	450	-1440	46	SEG46	-450	1440
14	SEG14	630	-1440	47	SEG47	-630	1440
15	SEG15	810	-1440	48	SEG48	-810	1440
16	SEG16	990	-1440	49	SEG49	-990	1440
17	SEG17	1170	-1440	50	SEG50	-1170	1440
18	SEG18	1350	-1440	51	SEG51	-1350	1440
19	SEG19	1530	-1440	52	SEG52	-1530	1440
20	SEG20	1530	-1260	53	SEG53	-1530	1260
21	SEG21	1530	-1080	54	SEG54	-1530	1080
22	SEG22	1530	-900	55	SEG55/COM3	-1530	900
23	SEG23	1530	-720	56	SEG56/COM2	-1530	720
24	SEG24	1530	-540	57	SEG57/COM1	-1530	540
25	SEG25	1530	-360	58	SEG58/DOU	-1530	360
26	SEG26	1530	-180	59	GND	-1530	180
27	SEG27	1530	0	60	DI	-1530	0
28	SEG28	1530	180	61	CLC	-1530	-180
29	SEG29	1530	360	62	LOAD	-1530	-360
30	SEG30	1530	540	63	FR	-1530	-540
31	SEG31	1530	720	64	не используется	-1530	-720
32	SEG32	1530	900	65	Vcc	-1530	-900
33	SEG33	1530	1080	66	не используется	-1530	-1080

Назначение выводов

Таблица 3.

№ вывода корпуса	№ кон-тактной площад-ки	Наименование	Направление	Назначение	Установка по включению питания
1-54	1-54	SEG1-SEG54	выход	Управление столбцами ЖКИ	"0"
55	55	COM3/SEG55	выход	Выход управления строкой/ Выход управления столбцом ЖКИ	"0"
56	56	COM2/SEG56	выход	Выход управления строкой/ Выход управления столбцом ЖКИ	"0"
57	57	COM1/SEG57	выход	Выход управления строкой/ Выход управления столбцом ЖКИ	"0"
58	58	DO/SEG58	выход	Выход сдвигового регистра/ Выход управления столбцом ЖКИ	"0"
59	59	GND	-	Общий	

60	60	DI	вход	Вход данных	
61	61	CLC	вход	Вход синхронизации	
62	62	LOAD	вход	Вход чтения данных	
63	63	FR	вход/ выход	Вход/ Выход синхронизации	вход «1»
64	65	Vcc	-	Питание микросхемы	

Структурная схема

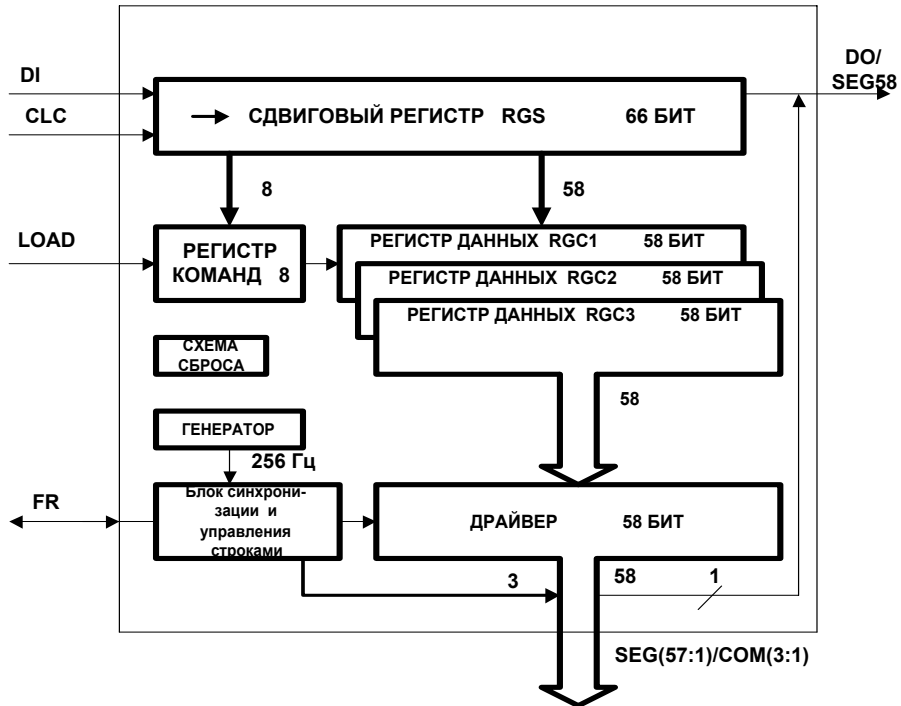


Рис. 4 Структурная схема SIWG2

Назначение блоков микросхемы SIWG2

Схема сброса

В мс реализована встроенная схема сброса по включению питания. После подачи напряжения питания на мс в течение 0.5 мкс происходит установка всех блоков и выводов схемы. Установка блоков мс SIWG2 приведена в таблице 4

Таблица 4

Наименование блока	Установка по сбросу
Сдвиговый регистр RGS	0000000000000000h
Регистр команд	00h
Регистр данных RGC1	0000000000000000h
Регистр данных RGC2	0000000000000000h
Регистр данных RGC3	0000000000000000h
Генератор	Выключен
Блок синхронизации и управления строками	Установка в "0" предварительных делителей

Установка выводов мс SIWG2 приведена в таблице 3 назначения выводов.

Сдвиговый регистр

66-ти битовый сдвиговый регистр служит для приема 58 бит данных и 8 бит команды по последовательному входу DI. Сдвиг и защелкивание информации происходит по фронту 1/0 на входе CLC (смотри временную диаграмму рис. 5).Выход сдвигового регистра может коммутироваться с помощью соответствующей команды на вывод мс DO/SEG58. По включению питания все разряды сдвигового регистра устанавливаются в "0".

Регистр команд

Восьмибитовый регистр. Он предназначен для хранения и дешифрации восьмиразрядного кода команды. Регистр команд формирует в соответствии с кодом команды управляющие сигналы для реализации режима работы и конфигурации мс. Код команды записывается из 8 младших разрядов сдвигового регистра уровнем "1" на входе LOAD. Младший бит сдвигового регистра соответствует младшему разряду командного слова. Код команды дешифрируется и формируются управляющие работой мс сигналы.

По включению питания мс в регистре команд устанавливается и дешифрируется код 00h.

Регистры данных

Три 58-миразрядных регистра RGC1-RGC3 служат для :

- приема данных из сдвигового регистра (по уровню "1" на входе LOAD) ;
- формирования сигналов для драйвера столбцов ЖКИ под управлением блока синхронизации.

58 старших бит сдвигового регистра копируются по сигналу LOAD в один из RGC. Адрес RGC считывается из кода команды. Старший бит (подается первым на вход сдвигового регистра) копируется соответственно в старший разряд регистра данных и управляет временными диаграммами для старшего разряда драйвера столбцов - SEG58. При различной конфигурации для формирования временных диаграмм или уровней соответствующими драйверами используется содержимое одного или нескольких RGC. Используемые регистры данных приведены в таблице 5.

Таблица 5

Мультиплекс	Активная строка (COM)	Используемый регистр данных RGC
Прямое управление	FR	RGC1
1/2	COM1	RGC1
	COM2	RGC2
1/3	COM1	RGC1
	COM2	RGC2
	COM3	RGC3

По включению питания регистры данных обнуляются.

Драйвер (управление столбцами ЖКИ)

Служит для формирования временных диаграмм управления столбцами ЖКИ или уровней (в режиме мощных буферов) в соответствии с данными , поступающими с регистра данных RGC. Работа драйверов синхронизируется блоком синхронизации в соответствии с управляющими сигналами для строк.

Временные диаграммы ,формируемые драйвером при прямом управлении, мультиплексе 1/2 и 1/3 показаны на рисунках 6 - 8.

При "0" в регистре данных драйвер формирует временную диаграмму соответствующую состоянию выключено. При "1" - включено.

В режиме мощных буферов драйвер формирует на выходах уровни напряжений, соответствующие содержимому RGC1 ,причем формируется мощный уровень "0". По сбросу при включении питания микросхемы на выходах драйвера формируется маломощный уровень "0".

Генератор

является внутренним источником частоты 256 Гц для схемы синхронизации и управления.

Генератор включается автоматически в одиночном режиме работы и у ведущей мс (режим каскадирования) при условиях:

-дисплей включен;

-мс осуществляет управление ЖКИ (прямое управление, мультиплекс 1/2 или 1/3).

В остальных режимах работы и конфигурациях генератор автоматически выключается.

По сбросу при включении питания мс генератор выключен.

Блок синхронизации и управления строками

формирует временные диаграммы управления строками (общими обкладками) ЖКИ с различным мультиплексом и синхронизирует работу драйверов столбцов. Состояние драйверов столбцов зависит от активной в данный момент строки и уровня напряжения на ней. Временные диаграммы работы блока управления строками и драйвера столбцов при различном мультиплексе изображены на рисунках 6-8.

В соответствии с активной строкой COM1-COM3 блок синхронизации подает на вход драйверов содержимое регистра данных - RGC1-RGC3 соответственно (см. таблицу 5). Источником опорной частоты для формирования временных диаграмм является внутренний генератор либо опорная частота, поступающая на вывод FR.

При использовании внутреннего генератора в качестве источника частоты схема синхронизации автоматически подает на вывод FR базовую частоту. Базовая частота используется для синхронизации работы ведомых мс с ведущей в режиме каскадирования, а также является общей обкладкой (COM) при работе с ЖКИ прямого управления. По включению питания в блоке синхронизации устанавливаются предварительные делители , FR определяется как вход и формируются "0" на выводах управления строками (общих).

Режимы функционирования микросхемы SIWG2

Сброс блоков по включению питания мс

Внутренняя схема сброса по включению питания мс автоматически устанавливает все внутренние блоки и выводы мс SIWG2 согласно таблицам 3 - 4. В регистр команд записывается и дешифрируется код 00h.

Устанавливается следующая конфигурация :

- дисплей выключен;
- вх/вых FR установлен как вход с подпорным резистором 50 кОм на Vcc;
- вывод DOU/SEG58 - выход последовательного регистра DOU;
- установлен адрес регистра данных RGC1;
- прямое управление;
- вывод SEG55/COM3 - SEG55;
- вывод SEG56/COM2 - SEG56;
- вывод SEG57/COM1 - SEG57.

Прием данных и кода команды

Прием данных и кода команды осуществляется по последовательному порту.

На рисунке 5 показана временная диаграмма передачи и записи данных в драйвер.

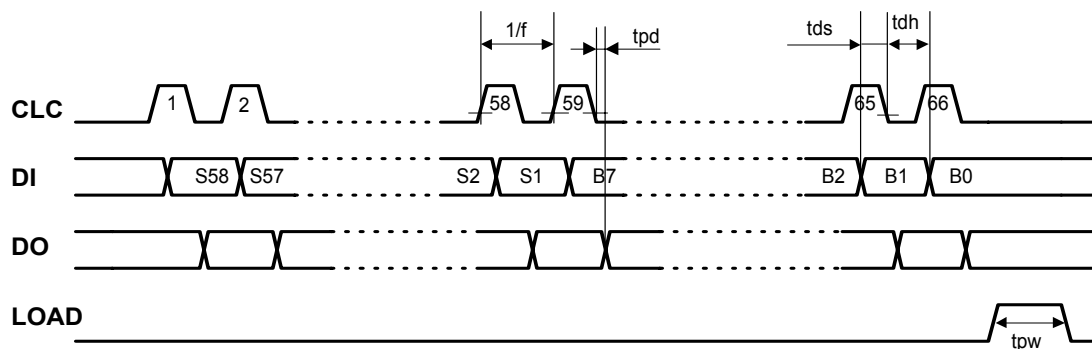


Рис. 5 Временная диаграмма передачи данных по последовательному порту

В таблице 7 приведены динамические характеристики мс SIWG2.

Данные подаются по выводу DI мс на вход сдвигового регистра. Сдвиг данных происходит по фронту 1/0 на входе CLC. Первым передается старший бит данных для управления SEG58.

Значение данных "0" соответствует состоянию "выключен" на соответствующем сегменте, а "1" - "включен".

Таблица 7

Характеристика	символ	min	typ	max	единица измерения	примечания
Частота синхронизации	f			1.5	MHz	50% - частота входных данных DI
Время установки данных	tds	150			nsec	Изменение данных до прихода фронта 1/0 на CLC
Время удерживания данных	tdh	50			nsec	CI=50pF
Длительность импульса чтения	tpw	175			nsec	
Задержка данных на DO	tpd			500	nsec	

После 58 бит данных для управления столбцами SEG58:SEG1, передаются 8 бит командного слова. Первым передается старший бит кода команды.

При каскадировании микросхем SIWG2 (рисунок 9-11) для последовательной передачи данных между мс по цепочке используется выход последовательного регистра - вывод DO.

ля полной загрузки мс нужно подать 58 бит данных и 8 бит команды на вход DI, синхронизированных 66-тью импульсами на входе CLC (при каскадировании N мс - 66xN).

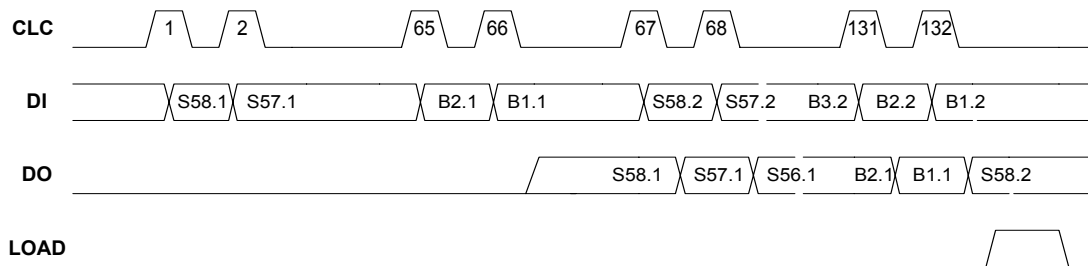


Рис. 13 Временная диаграмма передачи данных по последовательному порту при каскадировании 2 мс SIWG2

Чтение данных и дешифрация кода команды

После записи в сдвиговый регистр данных и кода команды они копируются в один из регистров данных RGC и регистр команд уровнем "1" на входе LOAD (рис. 5). Код команды дешифрируется и регистр команд вырабатывает управляющие сигналы для реализации заданной конфигурации и режима работы мс.

Код команды содержит адрес регистра данных RGC1-3, в который записываются 58 бит данных из сдвигового регистра.

Управление ЖКИ

Мультиплекс ЖКИ задается битами 2 и 1 командного слова.

Прямое управление .

Команда - XXXX X00X.

Схема включения мс SIWG2 в одиночном режиме для прямого управления изображена на рис. 16.

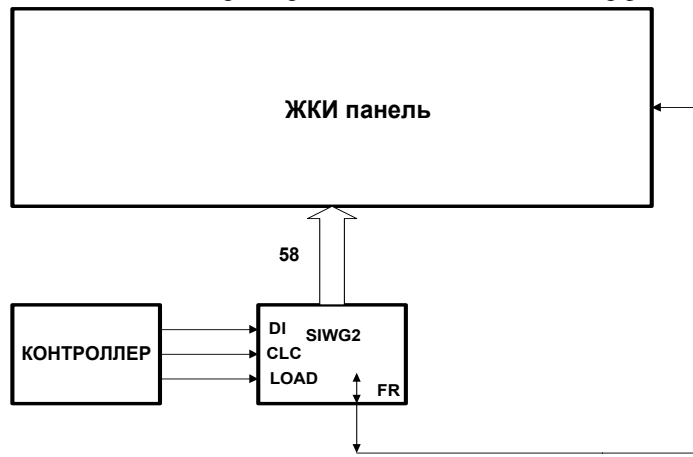


Рис. 16 Схема включения мс SIWG2 в одиночном режиме для прямого управления

Схема включения мс SIWG2 в режиме каскадирования для прямого управления изображена на рис. 9, 12.

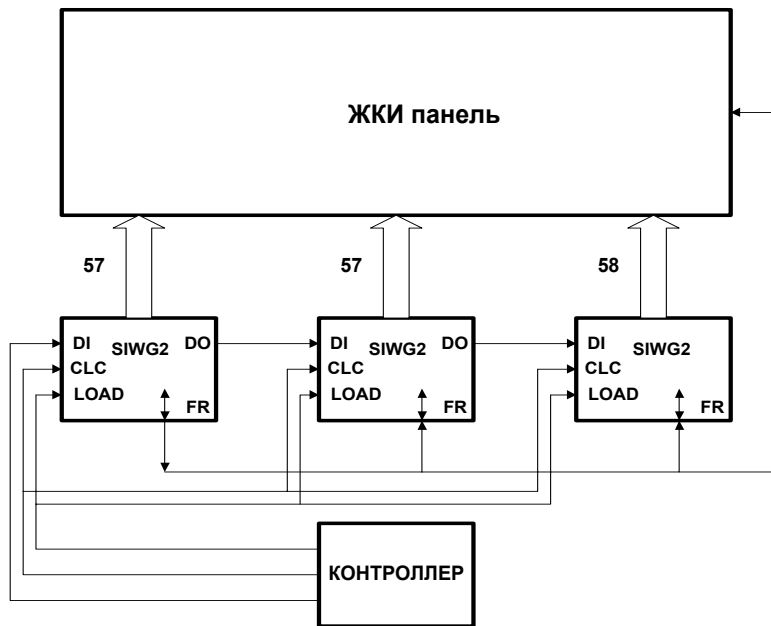


Рис. 9 Схема включения мс SIWG2 в режиме каскадирования для прямого управления с последовательной передачей данных между мс.

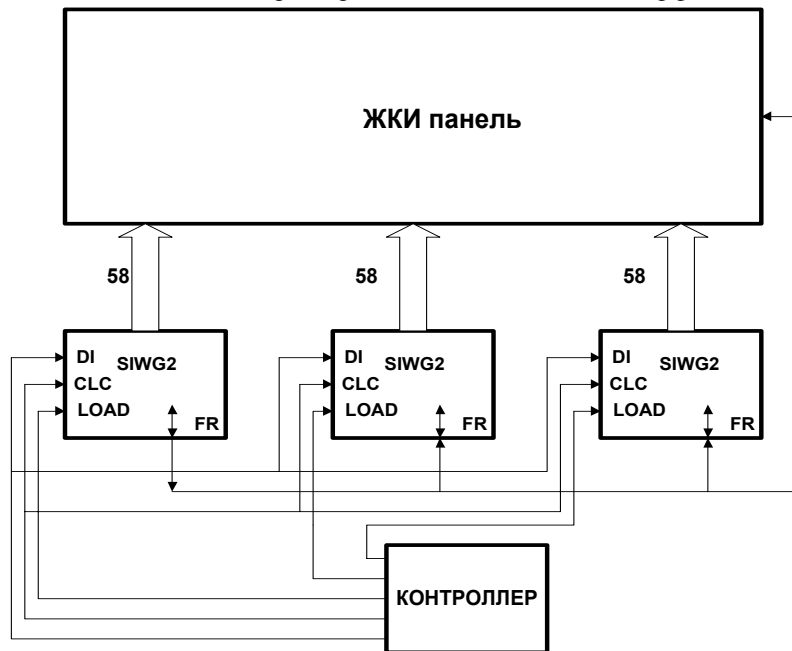


Рис. 12 Схема включения мс SIWG2 в режиме каскадирования для прямого управления с параллельной передачей данных на мс.

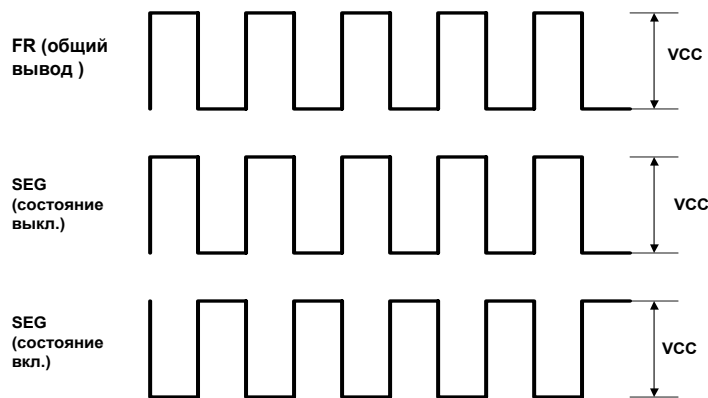


Рис. 6 Временная диаграмма для прямого управления ЖКИ

Временная диаграмма для прямого управления ЖКИ изображена на рис. 6. Для управления общим выводом ЖКИ временная диаграмма формируется на выводе FR у ведущей мс. У ведомых мс в режиме каскадирования FR используется как вход синхронизации. Для управления столбцами (SEG) временные диаграммы формируются на выводах 1-58 мс в соответствии с данными в регистре RGC1.

Управление ЖКИ с мультиплексом 1/2.

Команда - XXXX X01X.

Схема включения мс SIWG2 в одиночном режиме для управления ЖКИ с мультиплексом 1/2 изображена на рис. 14.



Рис. 14 Схема включения мс SIWG2 в одиночном режиме для управления ЖКИ с мультиплексом 1/2

Схема включения мс SIWG2 в режиме каскадирования для управления ЖКИ с мультиплексом 1/2 изображена на рис. 10.

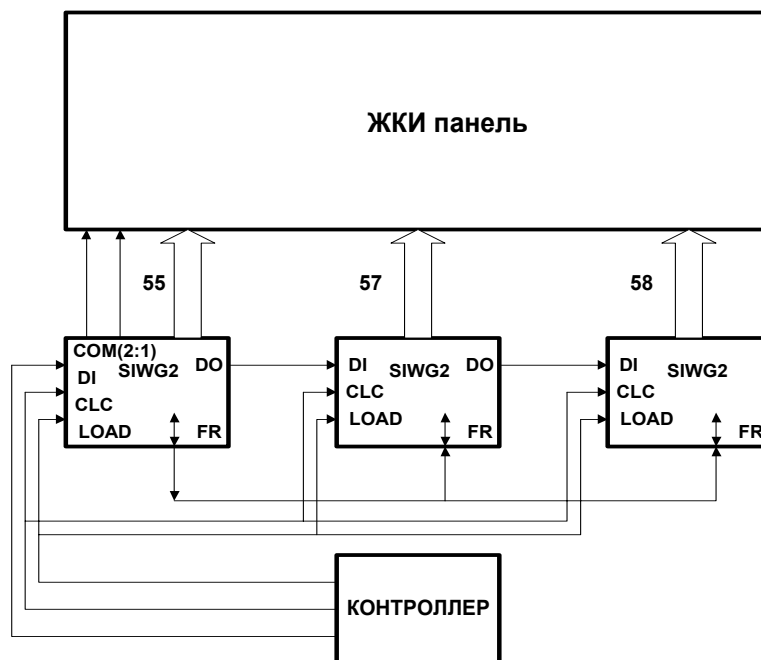


Рис. 10 Схема включения мс SIWG2 в режиме каскадирования для управления ЖКИ с мультиплексом 1/2

Временная диаграмма для управления ЖКИ с мультиплексом 1/2 изображена на рис. 7 .

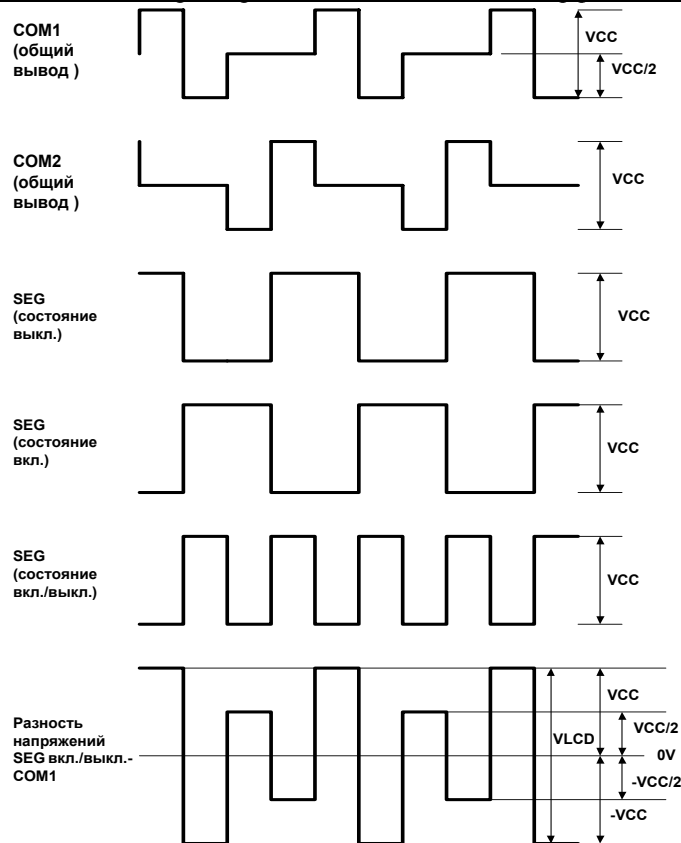


Рис. 7 Временная диаграмма для управления ЖКИ с мультиплексом 1/2

Для управления общими выводом ЖКИ временная диаграмма формируется на выводах COM1 и COM2 у ведущей мс. У ведомых мс в режиме каскадирования FR используется как вход синхронизации. Для управления столбцами (SEG) временные диаграммы формируются на выводах 1-58 мс в соответствии с данными в регистре RGC1 и RGC2 при активных COM1 и COM2 соответственно.

Управление ЖКИ с мультиплексом 1/3.

Команда - XXXX X10X.

Схема включения мс SIWG2 в одиночном режиме для управления ЖКИ с мультиплексом 1/3 изображена на рис. 15.

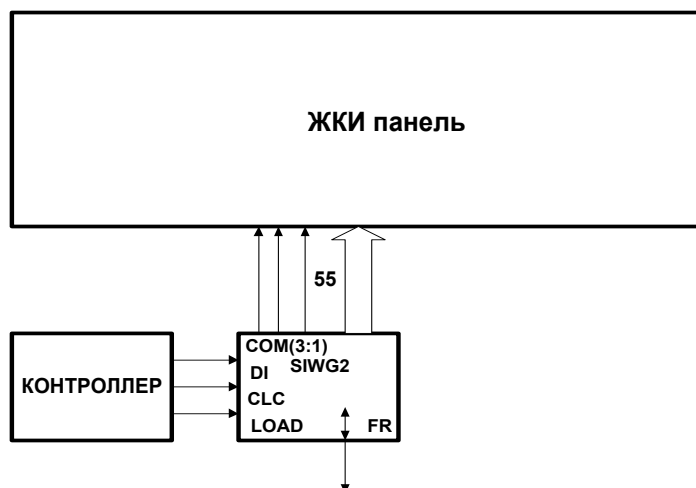


Рис. 15 Схема включения мс SIWG2 в одиночном режиме для управления ЖКИ с мультиплексом 1/3

Схема включения мс SIWG2 в режиме каскадирования для управления ЖКИ с мультиплексом 1/3 изображена на рис. 11.

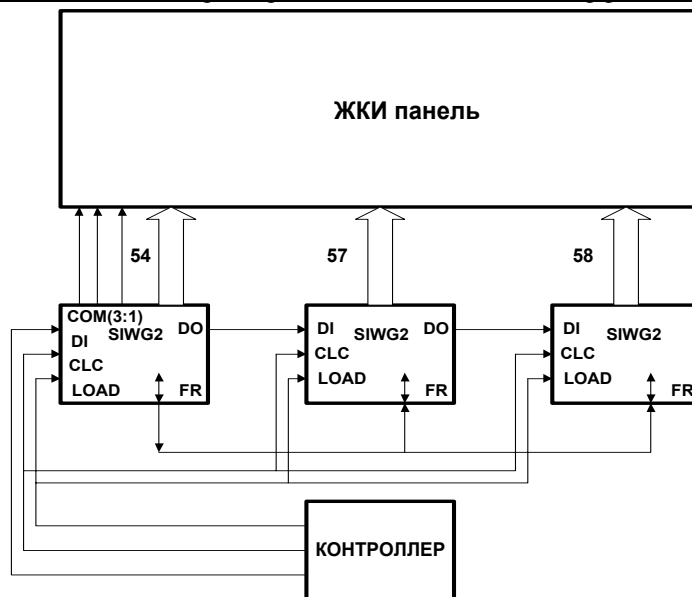


Рис. 11 Схема включения мс SIWG2 в режиме каскадирования для управления ЖКИ с мультиплексом 1/3
 Временная диаграмма для управления ЖКИ с мультиплексом 1/3 изображена на рис.8 .

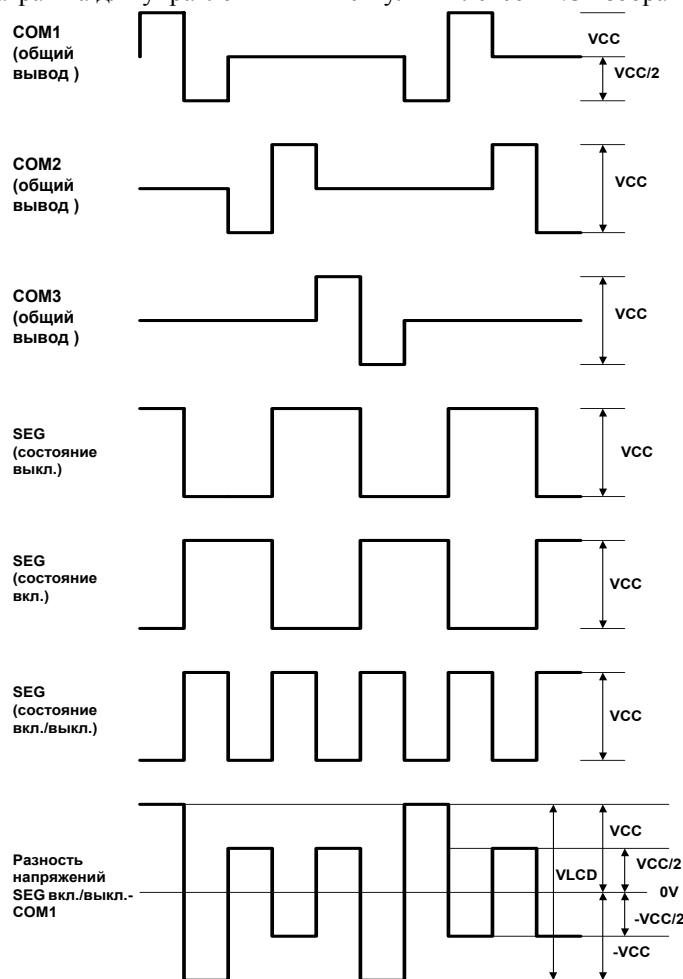


Рис. 8 Временная диаграмма для управления ЖКИ с мультиплексом 1/3

Для управления общими выводами ЖКИ временная диаграмма формируется на выводах COM1, COM2 и COM3 у ведущей мс. У ведомых мс в режиме каскадирования FR используется как вход синхронизации. Для управления столбцами (SEG) временные диаграммы формируются на выводах 1-58 мс в соответствии с данными в регистре RGC1, RGC2 и RGC3 при активных COM1, COM1 и COM3 соответственно.

Режим мощных буферов.

Команда - XXXX X11X.

В этом режиме буфера формируют на своих выходах уровни, соответствующие содержимому регистра RGC1. Уровень "0" драйверов SEG1-SEG54 обеспечивает большие значения токов.

Система команд микросхемы SIWG2

Формат команды

B7	B6	B5	B4	B3	B2	B1	B0
X	X	X	X	X	X	X	X

рис. 17 Формат команды

Команда 8-ми битовая. Код команды принимается в мс по последовательному входу DI после 58 бит данных. Первым на вход DI поступает старший (B7)бит команды. По "1" на входе LOAD код защелкивается в регистр команд и дешифрируется. По включению питания мс в регистре команд устанавливается код 0000 0000 .

Назначение битов командного слова показано в таблице 6.

Таблица 6 .

КОД КОМАНДЫ	НАЗВАНИЕ	ОПИСАНИЕ
XXXX XXX0	DISPLAY OFF Дисплей выключен	Обеспечивает выключение ЖКИ панели : на управляющих выводах столбцов и строк ЖКИ "0" уровни; встроенный генератор отключен; предустановка делителей в блоке синхронизации.
XXXX XXX1	DISPLAY ON Дисплей включен	Обеспечивает включение ЖКИ панели с заданным мультиплексом и отображение записанной в регистры данных информации.
XXXX X00X	Прямое управление	Выбор мультиплекса ЖКИ панели с прямым управлением
XXXX X01X	MUX 1/2 Мультиплекс 1/2	Выбор мультиплекса ЖКИ панели с мультиплексом 1/2 .
XXXX X10X	MUX 1/3 Мультиплекс 1/3	Выбор мультиплекса ЖКИ панели с мультиплексом 1/3 .
XXXX X11X	Мощные буфера	Выбор конфигурации мс с мощными буферами
XXXX 0XXX	SLAVE Ведомый	Режим работы мс, при котором вход/выход мс FR определяется как вход и используется для внешней синхронизации с ведущей мс в режиме каскадирования.
XXXX 1XXX	MASTER Ведущий	Режим работы мс, при котором вход/выход мс FR определяется как выход и используется для внешней синхронизации ведомой мс в режиме каскадирования, и для управления общим выводом ЖКИ с прямым управлением.
XXX0 XXXX	DOU/SEG58 - DOU	Вывод мс DOU/SEG58 определяется как выход сдвигового регистра - DOU.
XXX1 XXXX	DOU/SEG58 - SEG58	Вывод мс DOU/SEG58 определяется как выход управления столбцом ЖКИ - SEG58
X00X XXXX	Adres RGC1 Адрес RGC1	Определяет адрес регистра данных RGC1 для записи данных из сдвигового регистра.
X01X XXXX	Adres RGC2 Адрес RGC2	Определяет адрес регистра данных RGC2 для записи данных из сдвигового регистра.
X10X XXXX	Adres RGC3 Адрес RGC3	Определяет адрес регистра данных RGC3 для записи данных из сдвигового регистра.
X11X XXXX	Adres ZERO Адрес мнимого регистра	Определяет "пустой" адрес регистра данных для записи данных из сдвигового регистра (данные не записываются никуда).
1XXX XXXX	TEST Тестовый режим	Режим тестирования мс ,при котором входная частота подается на FR.

Примечание.

При выборе конфигурации управления ЖКИ с мультиплексом 1/2 или 1/3 автоматически включается формирователь уровней напряжений не зависимо от того - включен или выключен дисплей . В связи с этим при выключении дисплея для уменьшения тока потребления рекомендуется выбирать прямое управление ЖКИ с кодом XXXX X00X .